

## KOREAN PATENT ABSTRACTS

(11)Publication number: **1019990026576**  
(43)Date of publication of application: **15.04.1999**

(21)Application number: **1019970048775** (71)Applicant: **SAMSUNG ELECTRONICS CO., LTD.**  
(22)Date of filing: **25.09.1997** (72)Inventor: **NOH, SU GWI**

(51)Int. Cl

**H01L 29/786**

**(54) LCD DEVICE USING ORGANIC INSULATING LAYER AND MANUFACTURING METHOD OF THE SAME CAPABLE OF REDUCING COUPLING CAPACITANCE GENERATED BETWEEN PIXEL ELECTRODE AND DATA LINE, REDUCING ERROR RATE OF LIQUID CRYSTAL ALIGNMENT, AND INCREASING APERTURE RATE**

(57) Abstract:

PURPOSE: An LCD device using an organic insulating layer and a manufacturing method of the same are provided to form a planarized black matrix on a thin film transistor substrate by using an organic insulating layer as an interlayer dielectric. CONSTITUTION: A gate electrode(20) and a gate line are formed on a first substrate(10). A gate insulating layer(40) including an organic insulating layer is formed to cover the gate electrode and the gate line. A source electrode(80) and a drain electrode(90) are formed on the semiconductor layer. A data line is connected to the source electrode and crosses the gate line. A passivation layer is formed to cover the data line, the drain electrode, the source electrode, and the semiconductor layer, and includes a contact hole for disclosing the drain electrode. A groove is formed on an upper face of the passivation layer. A pixel electrode(140) is formed on the passivation layer and is connected to the drain electrode through the contact hole. A black matrix is formed on the groove of the passivation layer.

copyright KIPO 2006

Legal Status

Date of request for an examination (20020925)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20050624)

Patent registration number (1005020930000)

Date of registration (20050708)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2005101002509)

Date of requesting trial against decision to refuse (20050422)

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H01L 27/12

(11) 공개번호 특1999-026576

(43) 공개일자 1999년04월15일

(21) 출원번호 특1997-048775

(22) 출원일자 1997년09월25일

(71) 출원인 삼성전자 주식회사 윤종용

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 노수귀

서울특별시 도봉구 쌍문동 480-42 (12/8)

(74) 대리인 김원호, 최현석

심사청구 : 없음(54) 유기 절연막을 이용한 액정 표시 장치 및 그 제조 방법요약

게이트 패턴과 유지 용량 전극이 형성된 기판 위에 유기 절연막과 질화 규소막의 이중막으로 게이트 절연막을 형성하고, 질화 규소막의 상부에 비정질 규소층과 사진 공정이 가능한 유기 절연막을 차례로 형성한다. 다음, 사진 공정이 가능한 유기 절연막을 패터닝하여 에치 스텝층을 형성하고, 이를 마스크로 하여 비정질 규소층과 질화 규소막을 식각한다. 이 때, 질화 규소막은 박막 트랜지스터 부분을 제외하고 전면적으로 식각한다. 다음, 금속을 증착하여 데이터 패턴을 형성하고, 박막 트랜지스터 및 게이트 절연막 위에 층간 절연막의 역할을 하는 평탄화된 유기 절연막을 코팅하고, 유지 용량 전극 상부의 층간 절연막을 제거한다. 화소 전극을 형성한 다음 박막 트랜지스터 상부의 층간 절연막을 일부 식각하고 식각된 부분에 유기 블랙 포토 레지스트로 된 블랙 매트릭스를 채워 넣는다.

대표도도10명세서도면의 간단한 설명

도 1은 종래의 블랙 매트릭스 온 TFT 기판의 구조를 도시한 단면도이고,  
 도 2는 본 발명의 제1 실시예에 따른 TFT 기판의 구조를 도시한 평면도이고,  
 도 3은 도 2의 III - III'선을 따라 도시한 단면도이고,  
 도 4 내지 도 10은 각각 본 발명의 제2 내지 제8 실시예에 따른 TFT 기판의 구조를 나타내는 단면도이고,  
 도 11은 본 발명의 실시예에 따른 컬러 필터 기판의 구조를 도시한 단면도이고,  
 도 12는 본 발명의 실시예에 따른 액정 셀의 구조를 도시한 단면도이고,  
 도 13a는 도 11의 컬러 필터 기판에서 기판 간격제가 형성된 부분에 대한 평면도이고,  
 도 13b는 도 13a의 XIII - XIII'선을 따라 도시한 단면도이고,  
 도 14a, 도 15a 및 도 16a는 본 발명의 제1 실시예에 따른 TFT 기판의 제조 방법을 나타내는 평면도이고,  
 도 14b, 도 15b 및 도 16b는 각각 도 14a의 XIV - XIV', 도 15a의 XV - XV' 및 도 16a의 XVI - XVI'선을 따라 도시한 단면도이고,  
 도 17 및 도 18은 본 발명의 제5 실시예에 따른 TFT 기판의 제조 방법을 나타내는 단면도이고,  
 도 19 및 도 20은 본 발명의 제7 실시예에 따른 TFT 기판의 제조 방법을 나타내는 단면도이다.

발명의 상세한 설명발명의 목적발명이 속하는 기술 및 그 분야의 종래기술

이 발명은 박막 트랜지스터 액정 표시 장치(thin film transistor liquid crystal display)에 관한 것으로

로서, 더 상세하게는 블랙 매트릭스(black matrix)가 박막 트랜지스터 기판 상에 형성되어 있는 액정 표시 장치에 관한 것이다.

평판 표시 장치로 널리 사용되고 있는 박막 트랜지스터 액정 표시 장치는 일반적으로 박막 트랜지스터 기판과 컬러 필터(color filter) 기판으로 이루어진다. 블랙 매트릭스는 인접한 화소 사이의 빛샘을 막기 위해 사용되며, 보통 컬러 필터 기판 위에 형성된다. 그러나 박막 트랜지스터 기판과 컬러 필터 기판의 정렬 오차 때문에 블랙 매트릭스가 빛샘을 막는 데는 한계가 있다. 따라서 최근에는 블랙 매트릭스를 박막 트랜지스터 기판 위에 형성하는 방법이 사용되고 있다. 이러한 박막 트랜지스터 기판의 제조 방법은 블랙 매트릭스 온 박막 트랜지스터(BM on TFT ; black matrix on thin film transistor)로 불리어지고 있다.

도 1은 종래 기술에 따른 블랙 매트릭스 온 박막 트랜지스터 방식의 박막 트랜지스터 기판의 단면도이다.

도 1에 나타난 바와 같이, 투명 기판(1) 위에 게이트(gate) 전극(2) 및 유지 용량(storage capacitor) 전극(3)이 형성되어 있다. 게이트 전극(2)과 유지 용량 전극(3) 위에는 게이트 절연막(4)이 형성되어 있다. 게이트 절연막으로는 통상 질화규소(SiNx)막을 사용한다. 게이트 전극(2)에 대응하는 게이트 절연막(4) 위에 비정질 규소(amorphous silicon)층(5)과 에치 스톱(etch stop)층(6) 및  $n^+$  비정질 규소층(7)이 차례로 형성되어 있다.  $n^+$  비정질 규소층(70) 위에 소스(source) 전극(8)과 드레인(drain) 전극(9)이 형성되어 있으며 소스 전극(8)은 데이터선(도시하지 않음)과 연결되어 있다. 게이트 전극(2), 게이트 절연막(4), 비정질 규소층(5), 소스 전극(8) 및 드레인 전극(9)은 박막 트랜지스터를 이룬다. 이러한 박막 트랜지스터와 게이트 절연막(4) 위에 보호막(10)이 형성되어 있고, 박막 트랜지스터 위에 형성되어 있는 보호막(10) 위에 블랙 매트릭스(11)가 형성되어 있다. 또한, 화소 영역에는 보호막(10) 위에 ITO(indium tin oxide)로 이루어진 화소 전극(12)이 형성되어 있는데, 이 화소 전극(12)은 접촉 구멍(contact hole)을 통해 드레인 전극(9)과 연결된다.

화소 전극(12)과 데이터선은 그 일부가 겹치도록 형성되어 있어 액정 표시 장치가 구동될 때 화소 전극(12)과 데이터선 사이에서 결합 용량(coupling capacitance)이 발생할 수 있고, 이 결합 용량은 액정 표시 장치의 화상 신호를 왜곡시킨다.

또한 블랙 매트릭스(11)가 박막 트랜지스터 위에 형성되어 있어서 박막 트랜지스터와 화소 전극간의 단자가 커지고 이에 따라 액정 배향의 불량이 발생하여 빛샘이 발생할 수도 있다. 이러한 빛샘은 블랙 매트릭스의 폭을 넓히면 해결할 수 있으나 이렇게 할 경우 개구율(aperture ratio)이 감소하는 단점이 있다.

한편 액정층의 두께인 셀 간격(cell gap)을 일정하게 유지하기 위하여 박막 트랜지스터 기판과 컬러 필터 기판 사이에 기판 간격제(spacer)를 삽입한다. 종래에는 크기가 일정한 구형의 기판 간격제를 산포하는 방법이 주로 사용되었다. 그러나 컬러 필터 기판 및 박막 트랜지스터 기판에서의 단차 때문에 균일한 셀 간격을 만들 수 없고, 화소 전극(12) 위에도 기판 간격제가 뿌려진다. 이와 같이 셀 간격이 불균일해지면 액정층의 두께가 균일하지 않게 되어 표시 특성이 저하된다. 또한 액정 셀의 화소 전극(12) 위에 뿌려진 기판 간격제에 의해 액정 배향 불량과 후면광(back light)의 산란이 생길 수 있다. 이러한 배향 불량이나 후면광의 산란은 액정 셀의 투과율을 감소시키고 빛샘을 발생시킨다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 문제점을 해결하기 위한 것으로서, 본 발명의 과제는 화소 전극과 데이터선 사이에서 발생하는 결합 용량을 감소시키고, 액정 배향의 불량을 감소시키고, 개구율을 높이는 것이다.

또한 액정 셀의 간격을 균일하게 하고, 기판 간격제에 기인한 후면광의 산란을 억제하여 투과율을 감소와 빛샘의 문제를 해결하는 것이다.

### 발명의 구성 및 작용

이러한 과제를 달성하기 위하여, 본 발명에서는 낮은 유전 상수(dielectric constant)를 갖는 유기 절연막으로 층간 절연막을 형성한다. 유전 상수는 2.4 - 3.4가 적당하며, 유기 절연막은 박막 트랜지스터 기판의 게이트선과 데이터선 및 박막 트랜지스터의 상부에 평탄하게 형성되어 있어, 유기 절연막 위에 형성되어 있는 화소 전극과 유기 절연막 하부의 데이터선 사이의 신호의 간섭을 막아주는 역할을 한다. 화소 영역에는 투명 기판 위에 유지 용량 전극이 형성되어 층간 절연막 상부의 화소 전극과 함께 유지 축전기를 이룬다. 이 때 유지 용량 전극 상부의 유기 절연막은 제거하거나 두께를 얇게 하여 유지 용량이 충분한 값을 가지도록 한다.

또한 유지 용량을 보상하기 위한 다른 방법으로, 유지 용량 전극과 화소 전극 사이의 게이트 절연막의 일부를 제거하여 두께를 줄이거나, 유지 용량 전극을 드러내는 게이트 절연막의 접촉 구멍을 통해 유지 용량 전극과 연결되는 금속층을 게이트 절연막 위에 형성하거나, 유지 용량 전극 상부의 게이트 절연막 위에 화소 전극과 접촉하여 연결되는 금속층을 형성할 수 있다.

게이트 패턴 상부를 평탄화하고 게이트 전극과 드레인 전극 사이의 기생 용량을 줄이기 위하여 게이트 절연막으로 유기 절연막을 이용할 수 있다. 그리고, 박막 트랜지스터의 반도체층으로 사용되는 비정질 규소층과의 계면특성을 확보하기 위하여 유기 절연막위에 질화규소막을 형성할 수도 있다. 이때 게이트 절연막으로 사용되는 유기 절연막의 두께는 2,500 - 5,500 Å 정도가 바람직하며, 유기 절연막 상부에 형성되는 질화 규소막의 두께는 500 - 800 Å 정도가 좋다.

또한, 에치 스토퍼(etch stopper) 구조를 갖는 박막 트랜지스터 기판을 이용할 경우 에치 스톱층을 사진 공정이 가능한 유기 절연막으로 형성하여 드레인 전극과 게이트 전극 사이의 기생 용량을 줄일 수 있으며, 공정 단순화가 가능하다. 이 때 에치 스톱층으로 사용되는 유기 절연막의 두께는 3,000 - 5,000 Å

정도가 적당하다.

박막 트랜지스터와 게이트선 및 데이터선 상부의 충간 절연막의 일부는 제거되어 홈을 이루고, 그 홈 안에 유기 블랙 포토 레지스트(organic black photoresist)로 된 블랙 매트릭스가 평탄하게 채워져 있다.

박막 트랜지스터 기판과 이에 대응되는 컬러 필터 기판 사이의 셀 간격을 유지하기 위하여, 사진 식각 공정이 가능한 유기 절연막으로 된 기판 간격체를 컬러 필터 기판 위에 형성한다. 이 기판 간격체는 컬러 필터 사이에 형성하며 상기 박막 트랜지스터 기판의 박막 트랜지스터에 대응하는 부분에만 위치한다.

이러한 박막 트랜지스터 기판을 제조할 때에는 게이트선과 유지 용량 전극이 형성되어 있는 기판 위에 게이트 절연막으로 사용되는 유기 절연막을 회전 코팅하고, 그 위에 질화 규소막을 증착한다. 반도체층의 패턴을 형성한 후에 질화 규소막은 반도체층의 하부를 제외하고 전면적으로 식각한다.

에치 스텝층을 유기 절연막으로 형성하는 경우는 반도체층의 상부에 사진 공정이 가능한 유기 재료를 코팅하고 패터닝한다. 에치 스텝층을 패터닝하는 과정은 사진 공정이 가능한 유기 재료를 코팅하고 후면 노광한 후, 에치 스텝층을 형성하기 위한 마스크를 이용하여 다시 전면 노광하고 현상한 후 열처리하는 단계로 이루어진다.

다음으로, 저항 접촉층, 데이터 패턴을 차례로 형성한 후 충간 절연막으로 이용되는 유기 절연막을 코팅하고, 유지 용량 전극 상부의 충간 절연막을 식각하여 두께를 줄인다.

그리고, 충간 절연막 위에 ITO 등으로 된 투명 도전막을 증착하고 패터닝하여 화소 영역에 화소 전극을 형성하고, 화소 전극을 마스크(mask)로 사용하여 충간 절연막을 일정 깊이로 식각한 다음, 그 식각된 부분에 유기 블랙 포토 레지스트를 채워서 블랙 매트릭스를 평탄하게 형성한다.

이제 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 상세히 설명한다. 첨부한 도면에서 각 구성 요소들은 필요에 따라 실제 비율과 달리 도시하였다.

본 발명의 실시예에 따른 박막 트랜지스터 액정 표시 장치는 박막 트랜지스터 기판과 컬러 필터 기판으로 이루어진 셀과 이 셀 내부에 주입된 액정, 그리고 구동 회로 및 부가 장치들로 구성된다.

도 2에 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 평면도를 도시하였고, 도 3은 도 2의 III - III'선을 따라 그린 단면도이다.

도 2와 도 3에 나타난 바와 같이, 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판에서는 유리 등의 투명한 기판(10) 위에 외부로부터 주사 신호를 전달하는 게이트선(21) 및 그 분지인 게이트 전극(20)과 게이트선(21)에 평행한 유지 용량 전극(30)이 형성되어 있고, 게이트 절연막(40)이 이들을 덮고 있다. 게이트 절연막(40) 위에는 게이트선(21)과 수직으로 교차하며 외부로부터의 화상 신호를 전달하는 데이터선(81)이 형성되어 있다. 게이트 전극(20) 상부의 게이트 절연막(40) 위에는 비정질 규소층(50)이 형성되어 있고, 그 위에 에치 스텝층(60)과  $n^+$  비정질 규소로 된 저항 접촉층(71, 72)이 차례로 형성되어 있다. 저항 접촉층(71, 72) 위에는 각각 소스 전극(80)과 드레인 전극(90)이 형성되어 있으며, 소스 전극(80)은 데이터선(81)과 연결되어 있다.

여기에서 게이트 전극(20), 소스 전극(80), 드레인 전극(90), 게이트 절연막(40), 저항 접촉층(71, 72) 및 비정질 규소층(50)은 박막 트랜지스터를 이루며, 소스 전극(80)과 드레인 전극(90) 사이의 비정질 규소층(50)은 박막 트랜지스터의 채널부가 된다. 즉, 게이트선(21)을 통하여 게이트 전극(20)에 주사 신호가 인가되면, 박막 트랜지스터가 터온(turn on)되고, 이에 따라 데이터선(81)을 통하여 소스 전극(80)에 인가된 화상 신호가 비정질 규소층(50)을 통과하여 드레인 전극으로 전달된다.

충간 절연막(100)이 박막 트랜지스터와 게이트 절연막(40)을 덮고 평탄하게 형성되어 있다. 이 충간 절연막(100)은 2.3 - 3.4 정도의 낮은 유전 상수를 갖는 아크릴(acryl), BCB, PFCB 등의 유기 재료로 되어 있으며, 2.5 - 3.5  $\mu\text{m}$  정도의 두께를 갖는다. 충간 절연막(100)은 회전 코팅 방법으로 형성된다.

충간 절연막(100)은 유지 용량 전극(30) 상부에서 그 두께가 작아져 트렌치(120)를 이루거나 아예 제거되어 게이트 절연막(40)이 드러날 수도 있으며, 드레인 전극(90)을 드러내는 접촉 구멍(130)을 가지고 있다. 게이트선(21)과 데이터선(81)의 교차로 정의되는 화소 영역에 ITO막으로 된 화소 전극(140)이 충간 절연막(100) 위에 형성되어 있는데, 이 화소 전극(140)은 접촉 구멍(130)을 통해 드레인 전극(90)과 연결되어 화상 신호를 인가받아 액정 분자를 구동시킨다.

박막 트랜지스터와 게이트선(21) 및 데이터선(81) 상부의 충간 절연막(100)은 일정 깊이로 패여 홈을 이루고 있고 홈 안에는 유기 블랙 포토 레지스트로 된 블랙 매트릭스(110)가 채워져 평탄하게 형성되어 있다. 블랙 매트릭스(110)의 두께는 1.5 - 1.7  $\mu\text{m}$ 로 형성하여 3.0 이상의 광 밀도를 가짐으로써 충분한 차광 특성이 확보될 수 있다. 블랙 매트릭스의 두께는 블랙 매트릭스를 이루는 물질의 특성에 따라 달라질 수 있으며, 특히 구성 물질의 광 밀도와 관계되는데 광 밀도가 높은 재료를 쓰게 되면 블랙 매트릭스의 두께를 줄일 수 있다. 화소 전극(140)과 충간 절연막(100)이 서로 연결되어 있기 때문에 블랙 매트릭스(110)의 저항은 크게 하는 것이 바람직하며 표면 저항은  $10^{11} \Omega/\square$  이상으로 하는 것이 바람직하다.

여기에서 유지 용량 전극(30)과 화소 전극(140)은 유지 축전기의 역할을 하는데, 두 전극(30, 140) 사이에 두꺼운 충간 절연막(100)이 형성되면 유지 용량이 줄어들기 때문에, 이를 보상하기 위해 유지 용량 전극(30)과 화소 전극(140) 사이의 충간 절연막(100)을 제거하거나 두께를 얇게 하여 두 전극(30, 140) 사이의 거리를 줄인다.

이러한 박막 트랜지스터 기판은 유지 용량을 보상하기 위하여 몇 가지의 다른 형태를 가질 수 있다. 도 4 내지 도 6은 유지 용량을 보상하기 위해 개선된 본 발명의 제2 내지 제4 실시예에 따른 박막 트랜지스터 기판의 구조들을 나타내는 단면도이다.

본 발명의 제2 실시예에 따른 박막 트랜지스터 기판은 도 4에 도시한 바와 같이, 유지 용량 전극(30) 위의 층간 절연막(100) 외에도 게이트 절연막(40)을 일정 깊이로 식각하여 제거한 형태이다. 이 경우에, 게이트 절연막(40)은 균일한 깊이로 식각하기 위하여 서로 다른 식각비를 갖는 이중층으로 형성하여 상부층만 제거할 수도 있다.

본 발명의 제3 실시예에 따른 박막 트랜지스터 기판에서는 도 5에 도시한 바와 같이, 유지 용량 전극(30) 상부의 게이트 절연막(40) 위에 금속층(31)이 형성되어 있다. 이 금속층(31)은 게이트 절연막(40)에 형성되어 있는 접촉 구멍(32)을 통해 유지 용량 전극(30)과 연결되며, 금속층(31)은 층간 절연막(100)으로 덮여 있다.

본 발명의 제4 실시예에 따른 박막 트랜지스터 기판은 도 6에 도시한 바와 같이, 유지 용량 전극(30) 상부 게이트 절연막(40) 위에 금속층(31)이 형성되어 있으며, 금속층(31) 위의 층간 절연막은 제거되어 화소 전극(140)이 금속층(31)을 덮고 있다.

이와 같이, 낮은 유전 상수를 가지는 유기 층간 절연막(100)이 화소 전극(140)과 데이터선(81) 사이에 형성되어 있으므로, 화소 전극(140)과 데이터선(81) 사이에서 발생하는 결합 용량이 줄어들고, 이에 따라 화소 전극(140)을 데이터선(81) 및 게이트선(21)과 겹치도록 형성할 수 있다. 따라서, 블랙 매트릭스(110)가 차지하는 면적을 줄이고 화소 전극(140)이 차지하는 면적을 늘임으로써 박막 트랜지스터 기판의 개구율을 증가시킬 수 있다.

또한, 블랙 매트릭스(110)가 박막 트랜지스터 기판 상에 형성되어 후면광의 반사에 기인한 광유도 전류(photo induced leakage current)를 억제할 수 있으며, 기판(10)의 표면이 평坦하게 형성되어 있기 때문에 액정 배향 공정에서 발생하는 기판(10)에 형성된 패턴간의 단차에 기인한 배향 불량의 문제점을 해결할 수 있다. 결국, 광유도 전류가 억제되어 표시 장치에서의 백화 현상이 감소되며, 액정 배향의 불량이 감소되어 빛샘을 억제할 수 있다.

한편, 게이트 패턴 위에 형성되는 게이트 절연막을 평탄하게 형성하기 위해 게이트 절연막으로 유기 절연막을 이용할 수 있다. 본 발명의 제5 실시예에서는 게이트 절연막을 유기 절연막과 질화 규소막의 이중막으로 형성한다. 도 7에 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 단면도가 나타나 있다.

투명한 절연막(10) 위에 게이트선(도시하지 않음) 및 그 분지인 게이트 전극(20)과 게이트선에 평행한 유지 용량 전극(30)이 형성되어 있고, 그 위에 2,500 - 5,500 Å 두께의 유기 절연막(41)이 덮여 있다. 게이트 전극(20) 상부의 유기 절연막(41) 위에는 500 - 800 Å 두께의 질화 규소막(42)이 형성되어 있고, 그 위에 비정질 규소층(50)이 형성되어 있다.

게이트 절연막으로 유기 절연막을 사용하는 경우 평탄화를 쉽게 이를 수 있으나, 유기 절연막만을 이용하면 그 위에 형성되는 비정질 규소층의 막 특성이 저하될 수 있다. 따라서 중래의 질화 규소막을 게이트 절연막으로 사용한 경우와 동일한 막 특성을 얻기 위해 유기 절연막의 상부에 질화 규소막을 증착하여 이중막으로 형성한다. 이렇게 할 경우, 그 위에 형성되는 비정질 규소층의 두께를 1,000 Å 이하로 낮출 수 있어, 광유도 전류(photo induced leakage current)를 줄일 수 있다. 그러나, 질화 규소막(41)은 필요에 따라 형성하지 않을 수도 있으며, 질화 규소막(41)을 형성하지 않더라도 게이트 절연막의 평탄화에는 아무런 지장을 주지 않는다.

도 7에서 질화 규소막(41)은 비정질 규소층(50) 아래에만 형성되어 있다. 질화 규소막이 전면에 형성되어 있을 경우, 그 위에 층간 절연막을 형성하게 되면 게이트 패드부에는 유기 절연막과 질화 규소막 및 유기 절연막의 3중막이 형성된다. 이 경우 게이트 패드부에 접촉 구멍을 형성하는 과정에서 유기 절연막과 질화 규소막의 식각 선택비의 차이로 인하여 식각이 제대로 이루어지지 않을 수 있다. 따라서, 비정질 규소층 아래를 제외한 나머지 부분의 질화 규소막을 미리 제거함으로써 게이트 패드부의 접촉 구멍을 형성하는 과정을 용이하게 할 수 있다.

비정질 규소층(50) 위에는  $n^+$  비정질 규소로 된 저항 접촉층(71, 72)이 형성되어 있고, 저항 접촉층(71, 72) 위에는 소스 전극(80)과 드레인 전극(90)이 형성되어 있다. 소스 전극(80)은 게이트 절연막으로 이용되는 유기 절연막(41) 위에 게이트선과 수직으로 교차하도록 형성되어 있는 데이터선(도시하지 않음)과 연결되어 있다.

여기에서 게이트 전극(20), 소스 전극(80), 드레인 전극(90), 유기 절연막(41)과 질화 규소막(42)의 이중막으로 된 게이트 절연막(40) 및 비정질 규소층(50)은 박막 트랜지스터를 이루며, 소스 전극(80)과 드레인 전극(90) 사이의 비정질 규소층(50)은 박막 트랜지스터의 채널부가 된다.

기타의 구조는 제1 실시예와 유사하며, 층간 절연막으로 사용되는 유기 절연막(100)의 두께 및 유전 상수와 블랙 매트릭스(110)의 두께, 광 밀도 및 표면 저항 역시 본 발명의 제1 실시예의 경우와 유사하다.

또한, 본 발명의 제4 실시예에서와 같이 유지 용량을 크게 하기 위하여 유지 전극 위에 금속층을 형성할 수 있다. 도 8에는 유지 용량 전극(30) 상부의 게이트 절연막을 이루는 유기 절연막(41) 위에 금속층(31)이 형성되어 있으며, 금속층(31) 위의 층간 절연막(100)은 제거되어 화소 전극(140)이 금속층(31)을 덮고 있는 본 발명의 제6 실시예에 따른 박막 트랜지스터 기판이 도시되어 있다.

본 발명의 제7 실시예에서는 에치 스토퍼 구조를 갖는 박막 트랜지스터 기판에서 에치 스텐층을 유기 절연막으로 형성한다.

도 9에 본 발명의 제7 실시예에 따른 박막 트랜지스터 기판의 단면도가 나타나 있다. 본 발명의 제7 실시예에서는 본 발명의 제5 실시예에서와 같이 게이트 절연막을 유기 절연막과 질화 규소막의 이중막으로 형성하고 에치 스토퍼 구조를 취하고 있다.

투명한 절연 기판(10) 위에 게이트선(도시하지 않음) 및 그 분지인 게이트 전극(20)과 유지 용량

전극(30)이 형성되어 있고, 그 위에 2,500 - 5,500 Å 두께의 유기 절연막(41)이 덮여 있다. 게이트 전극(20) 상부의 유기 절연막(41) 위에는 500 - 800 Å 두께의 질화 규소막(42)이 형성되어 있고, 그 위에 비정질 규소층(50)이 형성되어 있다.

비정질 규소층(50) 위에는 사진 공정이 가능한 유기 절연막으로 된 에치 스텝층(61)이 형성되어 있다. 이렇게 에치 스텝층(61)을 유기 절연막을 이용하여 형성할 경우 유전 상수가 낮기 때문에 게이트 전극과 드레인 전극 사이의 기생 용량을 줄일 수 있어 이에 의한 킥백(kickback)을 줄일 수 있다. 또한, 사진 공정으로 에치 스텝층을 패터닝하고 이를 이용하여 그 아래의 비정질 규소층(50) 및 질화 규소막(42)을 식각할 수 있어 공정을 단순화할 수 있다.

에치 스텝층(61) 위에는  $n^+$  비정질 규소로 된 저항 접촉층(71, 72)이 형성되어 있고, 저항 접촉층(71, 72) 위에는 소스 전극(80)과 드레인 전극(90)이 형성되어 있다. 소스 전극(80)은 게이트 절연막의 역할을 하는 유기 절연막(41) 위에 게이트선과 수직으로 교차하도록 형성되어 있는 데이터선(도시하지 않음)과 연결되어 있다.

그밖의 구조는 본 발명의 제5 실시예의 경우와 유사하며, 유기 층간 절연막(100)의 두께 및 유전 상수와 블랙 매트릭스(110)의 두께, 광 밀도 및 표면 저항은 본 발명의 제1 실시예의 경우와 유사하다.

상기의 구조에 본 발명의 제4 실시예에서와 같이 유지 용량을 크게 하기 위한 금속층을 형성한 본 발명의 제8 실시예가 도 10에 나타나 있다. 유지 용량 전극(30) 상부의 게이트 절연막을 이루는 유기 절연막(41) 위에 금속층(31)이 형성되어 있으며, 금속층(31) 위의 층간 절연막(100)은 제거되어 화소 전극(140)이 금속층(31)을 덮고 있다.

도 11에 본 발명의 실시예에 따른 컬러 필터 기판의 단면 구조를 도시하였다. 도 11에 나타난 바와 같이, 컬러 필터 기판은 투명한 절연 기판(150) 위에 컬러 필터(160)가 형성되어 있고, 컬러 필터(160) 위에 보호막(170)이 형성되어 있으며, 보호막(170) 위에 공통 전극(180)이 형성되어 있다.

도 12에는 본 발명의 실시예에 따른 액정 셀의 단면 구조를 도시하였다. 박막 트랜지스터 기판과 컬러 필터 기판 사이의 셀 간격을 유지하기 위하여 기둥 모양의 기판 간격제(190)가 컬러 필터 기판 위에 형성되어 있다. 이 기판 간격제(190)는 사진 공정이 가능한 유기 절연막으로 형성되어 있으며, 박막 트랜지스터 기판에서 박막 트랜지스터의 채널부 위에 놓여있다. 이 경우에, 박막 트랜지스터 채널의 상부는 일정한 두께를 가지는 평탄화된 막으로 되어 있으므로 그 위에 기판 간격제(190)가 형성되어 있더라도 박막 트랜지스터가 손상되지 않는다.

도 13a는 기판 간격제(190)가 형성된 컬러 필터 기판의 평면도이고, 도 13b는 도 13a의 X III - X III' 부분에 대한 단면도이다. 도 13a 및 도 13b에서 R, G, B는 각각 적색(red), 녹색(green) 및 청색(blue)의 컬러 필터를 나타낸다. 이러한 컬러 필터(160)는 중간에 도 13a에서와 같이 오목한 부분 (a)를 가지며 기판 간격제는 이 부분에 형성된다.

컬러 필터 기판에서는 기판 간격제(190)가 사진 식각 공정이 가능한 유기 절연막으로 형성되므로 셀 간격의 조절이 쉽고 원하는 위치에 기판 간격제(190)를 형성할 수 있다. 따라서 기판 간격제를 박막 트랜지스터 기판의 화소 전극에 대응하는 컬러 필터(160) 상에 형성하지 않고 상기 박막 트랜지스터 기판의 박막 트랜지스터 채널에 대응하는 부분에만 형성함으로써, 단차에 기인한 셀 간격 불량을 줄일 수 있고, 기판 간격제(190)가 개구부에 위치함에 따라 발생되는 빛Samsung과 투과율 감소의 문제를 방지할 수 있다. 또한, 셀 간격을 일정하게 유지하기 위해서 R, G, B 컬러 필터가 모두 단일 두께로 형성되어야 하는 종래의 기판과 달리, R, G, B 각각의 컬러 필터가 서로 다른 두께를 갖도록 형성되어도 일정한 셀 간격 유지에 영향을 주지 않으므로 컬러 필터의 색좌표와 투과율 조정이 용이하다.

이러한 기판 간격제(190)는 일정한 높이를 가지므로 이에 의해서 음영 영역이 발생될 수 있다. 일반적으로 이러한 음영 영역은 러빙 공정에서 액정 배향의 불량을 일으킨다. 그러나 상기의 경우의 음영 영역은 박막 트랜지스터의 채널부보다 좁게 형성되어 블랙 매트릭스에 의하여 가려지기 때문에 배향막 도포 및 러빙 불량에 기인한 표시 불량을 줄일 수 있다.

이하 본 발명의 실시예에 따른 박막 트랜지스터 액정 표시 장치의 제조 방법을 도면을 참조로 하여 설명한다.

도 14a, 도 15a 및 도 16a는 본 발명의 제1 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 나타내는 평면도이고, 도 14b, 도 15b 및 도 16b는 각각 도 14a의 XIV - XIV', 도 15a의 XV - XV' 및 도 16a의 XVI - XVI' 선을 따라 도시한 단면도이다.

도 14a와 도 14b에서와 같이 투명한 절연 기판(10) 위에 3,000 Å 정도 두께의 금속층을 증착하고 패터닝하여 게이트 전극(20), 게이트선(21) 및 유지 용량 전극(30)을 형성한다. 이어 화학 기상 증착법(chemical vapor deposition)을 이용하여 기판(10) 상부에 질화 규소 등으로 형성된 게이트 절연막(40), 비정질 규소층 및 질화 규소막을 잇달아 형성한다. 이 때 게이트 절연막의 두께는 3,000 - 6,000 Å 정도이고, 비정질 규소층의 두께는 500 - 1,000 Å, 에치 스텝층으로 사용되는 질화 규소막의 두께는 1,000 - 2,000 Å이다. 다음, 질화 규소막 위에 포토 레지스트를 증착한 후 기판(10)의 후면에서 노광하여 포토 레지스트 패턴을 형성한다. 상기한 포토 레지스트를 마스크로 질화막을 식각하여 에치 스텝층(60)을 형성한다. 이어서 고농도로 도핑된  $n^+$  비정질 규소층을 증착하고, 비정질 규소층과 함께 식각한다. 다음으로 기판(10) 상부에 3,000 Å 정도의 금속층을 증착하고 패터닝하여 소스 전극(80), 드레인 전극(90) 및 데이터선(81)을 형성하고, 이를 마스크로 하여  $n^+$ -비정질 규소층으로 이루어진 저항 접촉층(71, 72)을 식각한다. 게이트 전극(20), 소스 전극(80), 드레인 전극(90), 게이트 절연막(40), 저항 접촉층(71, 72) 및 비정질 규소층(50)은 박막 트랜지스터를 이루다.

다음으로 도 15a와 도 15b에서와 같이 기판(10) 상부에 낮은 유전 상수와 높은 광투과율을 갖는 유기 절연막으로 된 층간 절연막(100)을 형성한다. 층간 절연막(100)은 회전 코팅 방법으로 형성하여 평탄화한다. 층간 절연막(100)은 2.3 - 3.4 정도의 유전 상수와 2.5 - 3.5  $\mu\text{m}$  정도의 두께를 갖는 것이 가장 바

람직하다. 층간 절연막(100)의 일부를 식각하여, 드레인 전극(90) 위에 접촉 헐(130)을 형성하고 유지 용량 전극(30) 상부에 트렌치(120)를 형성한다.

다음으로, 도 16a와 도 16b에서와 같이 기판(10) 상부에 ITO막을 증착하고 패터닝하여 게이트선(21)과 데이터선(81)의 교차에 의해 정의되는 개개의 화소 영역에 화소 전극(140)을 형성한다.

다음으로, 도 2와 도 3에 나타난 바와 같이, 화소 전극(140)을 마스크로 사용하여 층간 절연막(100)을 일정 깊이로 식각하고, 그 식각된 부분에 유기성 블랙 포토 레지스트를 채워서 블랙 매트릭스(110)를 평坦하게 형성한다. 이 때 바람직한 식각 깊이는  $1.5 - 1.7 \mu\text{m}$ 이며, 유기성 블랙 포토 레지스트의 표면 저항은  $10^{11} \Omega/\square$  이상의 값을 가진다. 이와 같이 형성된 블랙 매트릭스(110)는 3.0 이상의 광 밀도를 갖는다.

이러한 박막 트랜지스터 기판은 유지 용량을 증가하기 위해, 몇 가지 다른 형태를 가질 수 있다. 도 4에서 도 6을 참조하여 서로 다른 유지 용량 전극을 갖는 박막 트랜지스터 기판의 제조 방법을 설명한다.

본 발명의 제2 실시예에 따른 박막 트랜지스터 기판은 도 4에 도시한 바와 같이, 층간 절연막(100)을 식각하여 트렌치(120)를 형성한 후에 유지 용량 전극(30) 위의 게이트 절연막(40)의 일부를 건식 식각 방법을 사용하여 식각한다. 따라서 유지 용량 전극(30) 위의 게이트 절연막(40)의 두께가 줄어들어 유지 용량이 증가된다. 이 때 게이트 절연막(40)을 균일한 깊이로 식각하기 위하여 서로 다른 식각비를 갖는 이중층으로 형성하고 상부층만 제거할 수도 있다.

본 발명의 제3 실시예에 따른 박막 트랜지스터 기판은 도 5에 도시한 바와 같이, 게이트 절연막(40)의 일부를 식각하여 유지 용량 전극(30) 위에 접촉 구멍(32)을 형성한다. 다음으로, 소스 전극(80)을 형성할 때 유지 용량 전극(30) 상부에 금속층(31)을 형성한다. 이 금속층(31)은 접촉 구멍(32)을 통해 유지 용량 전극(30)과 연결된다.

본 발명의 제4 실시예에 따른 박막 트랜지스터 기판은 도 6에 도시한 바와 같이, 소스 전극(80)이 형성될 때 유지 용량 전극(30) 상부에 금속층(31)을 형성한다. 이 경우에는 금속층(31)은 이후에 형성되는 화소 전극(140)과 연결된다.

다음으로, 본 발명의 제5 실시예에 따른 박막 트랜지스터 기판의 제조 방법을 설명한다.

도 17에 나타난 바와 같이 투명한 절연 기판(10) 위에 금속을 증착하고 패터닝하여 게이트 전극(20), 게이트선(도시하지 않음) 및 유지 용량 전극(30)을 형성한다. 이어  $2,500 - 5,500 \text{ \AA}$  두께의 유기 절연막(41)을 형성하고, 화학 기상 증착법(chemical vapor deposition)을 이용하여  $500 - 800 \text{ \AA}$  두께의 질화 규소막(42)을 증착한다. 질화 규소막(42) 위에  $1,000 \text{ \AA}$  이하의 비정질 규소층(50) 및 고농도로 도핑된  $n^+$ -비정질 규소층(70)을 차례로 증착한다. 다음 포토 레지스트를 증착한 후 노광하여 포토 레지스트 패턴을 형성한다. 상기한 포토 레지스트를 마스크로 고농도로 도핑된  $n^+$ -비정질 규소층(70), 비정질 규소층(50) 및 질화 규소막(42)을 차례로 식각한다. 이 때 게이트 절연막의 일부인 질화 규소막(42)도 동일한 패턴으로 전면적으로 식각한다. 다음으로 도 18에 나타난 바와 같이, 기판(10) 상부에 금속을 증착하고 패터닝하여 소스 전극(80), 드레인 전극(90) 및 데이터선(도시하지 않음)을 형성하고, 이를 마스크로 하여 접촉층(71, 72)을 식각한다. 게이트 전극(20), 소스 전극(80), 드레인 전극(90), 게이트 절연막(40), 저항 접촉층(71, 72) 및 비정질 규소층(50)은 박막 트랜지스터를 이룬다.

이후의 공정은 본 발명의 제1 실시예의 경우와 동일하다.

본 발명의 제6 실시예에 따른 박막 트랜지스터 기판은 도 8에 도시한 바와 같이, 소스 전극(80)을 형성할 때 유지 용량 전극(30) 상부에 금속층(31)을 형성한다. 이 경우에 금속층(31)은 이후에 형성되는 화소 전극(140)과 연결된다.

본 발명의 제7 실시예에서는 에치 스토퍼 구조를 갖는 박막 트랜지스터를 형성한다. 도 19 및 도 20에 본 발명의 제7 실시예에 따른 박막 트랜지스터 기판의 제조 방법이 도시되어 있다.

도 19에 나타난 바와 같이, 투명한 절연 기판(10) 위에 금속을 증착하고 패터닝하여 게이트 전극(20), 게이트선(도시하지 않음) 및 유지 용량 전극(30)을 형성한다. 이어 게이트 절연막의 일부로 이용될  $4,000 - 5,500 \text{ \AA}$  두께의 유기 절연막(41)을 형성하고, 화학 기상 증착법(chemical vapor deposition)을 이용하여  $500 - 800 \text{ \AA}$  두께의 질화 규소막(42)을 증착한다. 질화 규소막(42) 위에  $1,000 \text{ \AA}$  이하의 비정질 규소층(50)을 형성하고, 그 위에 사진 공정이 가능한 양성(positive type)의 유기 절연막(61)을  $3,000 - 5,000 \text{ \AA}$  두께로 형성한다. 이 때 사용되는 유기 절연막으로는 photo BCB, 사진공정이 가능한 아크릴계 중합체 등을 쓸 수 있다. 다음, 사진 공정이 가능한 유기 절연막을  $200 - 600 \text{ mJ}$  정도로 후면 노광하고, 에치 스텝층을 노출시키는 마스크를 사용하여  $50 - 100 \text{ mJ}$ 로 전면 노광하고 현상한다. 그리고,  $200 - 230^\circ\text{C}$ 에서  $\text{N}_2$  분위기로 에치 스텝층을 열처리(annealing)한다. 이렇게 하면 에치 스토퍼 패턴이 완성된다.

이 패턴을 마스크로 비정질 규소층(50)과 질화 규소막(42)을 식각한다. 이 때 질화 규소막(42)을 전면적으로 식각하는 것은 본 발명의 제5 실시예의 경우와 동일하다. 다음으로 고농도로 도핑된  $n^+$ -비정질 규소층(71, 72)을 증착한다. 그 위에 금속을 증착하고 패터닝하여 소스 전극(80), 드레인 전극(90) 및 데이터선(도시하지 않음)을 형성하고, 소스 전극(80) 및 드레인 전극(90)을 마스크로 하여 접촉층(70)을 식각한다. 게이트 전극(20), 소스 전극(80), 드레인 전극(90), 게이트 절연막(40), 저항 접촉층(71, 72) 및 비정질 규소층(50)은 박막 트랜지스터를 이룬다.

이후의 공정은 본 발명의 제1 실시예의 경우와 동일하다.

본 발명의 제8 실시예에 따른 박막 트랜지스터 기판은 도 10에 도시한 바와 같이, 소스 전극(80)을 형성

할 때 유지 용량 전극(30) 상부에 금속층(31)을 형성한다. 이 경우에 금속층(31)은 이후에 형성되는 화소 전극(140)과 연결된다.

한편, 도 11을 참조로 하여 본 발명의 실시예에 따른 컬러 필터 기판의 제조 방법을 설명한다. 도 11에서와 같이, 투명한 기판(150) 위에 컬러 레지스트를 도포하고 사진 식각 공정을 통해 컬러 필터(160)를 형성한다. 이러한 컬러 필터(160)는 기판 간격제가 형성될 영역을 충분하게 제공하기 위하여, 부분적으로 제거된 형태를 가질 수도 있다. 컬러 필터(160) 위에 보호막(170)을 형성하고, ITO막을 이용하여 보호막(170) 위에 공통 전극(180)을 형성한다.

다음으로, 도 12에서와 같이, 기판(150) 위에 유기 절연막을 도포하고 사진 식각 공정을 통해 기둥 모양의 기판 간격제(190)를 형성한다. 기판 간격제(190)는 상기한 박막 트랜지스터 기판에서 박막 트랜지스터의 채널부에만 놓여 있다.

상기한 박막 트랜지스터 기판과 컬러 필터 기판을 결합하여 액정 셀을 만들고, 여기에 액정을 주입하고 부가 회로를 부착하여 박막 트랜지스터 액정 표시 장치를 만든다.

### **발명의 효과**

상기한 바와 같이, 본 발명에 따른 박막 트랜지스터 액정 표시 장치에서는 낮은 유전 상수를 가지는 유기 절연막으로 된 층간 절연막을 사용하여 평坦화된 블랙 매트릭스 온 박막 트랜지스터 기판을 형성하였다. 따라서 컬러 필터 기판 위에 블랙 매트릭스가 형성되었을 때 발생하는 후면광의 반사를 제거하여 광 유도 전류를 감소시킬 수 있다. 또한 화소 전극 패턴을 이용하여 블랙 매트릭스를 형성하므로 개구율을 최대화시킬 수 있으며, 액정 배향 공정에서 기판에 형성된 패턴간의 단차에 기인한 배향 불량을 감소시킬 수 있다.

게이트 절연막으로 유기 절연막과 질화 규소막의 이중막을 이용함으로써 기판을 평탄화함과 동시에 양호한 전기적 특성을 얻을 수 있다. 에치 스토퍼 방식의 박막 트랜지스터를 형성하는 경우 에치 스텝층을 유기 절연막을 이용함으로써 게이트 전극과 드레인 전극간의 기생 용량을 줄일 수 있고, 공정을 단순화 할 수 있다.

한편으로, 사진 식각 공정이 가능한 유기 절연막으로 기판 간격제를 형성하므로, 컬러 필터 상에 기판 간격제가 존재하지 않게 형성하여 컬러 필터의 단차에 기인한 셀 간격 불량을 줄일 수 있고, 컬러 필터의 색좌표와 투과율 조정이 용이하다. 또한, 기판 간격제가 박막 트랜지스터 채널부에만 존재하므로, 기판 간격제가 개구부에 위치함에 따라 발생되는 광누설과 투과율 감소의 문제를 방지할 수 있으며, 기판 간격제의 음영 영역이 박막 트랜지스터 채널부의 면적보다 작으므로 배향막 도포 및 러빙 불량에 기인한 표시 불량을 줄일 수 있다.

결국, 본 발명에 따른 박막 트랜지스터 액정 표시 장치는 고개구율, 저전력 소비, 높은 대비비 및 백화 감소의 특성을 가질 수 있다.

### **(57) 청구의 범위**

#### **청구항 1**

투명한 절연 기판,

상기 기판 위에 형성되어 있는 게이트 전극,

상기 게이트 전극 위에 형성되어 있으며 유기 절연막으로 이루어져 있는 게이트 절연막,

상기 게이트 전극 위의 상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 반도체층의 상부에 상기 반도체층을 가운데에 두고 양쪽으로 형성되어 있는 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 기판.

#### **청구항 2**

제1항에서,

상기 유기 절연막의 두께는 2,500 - 5,500 Å인 박막 트랜지스터 기판.

#### **청구항 3**

제2항에서,

상기 유기 절연막 위에 형성되어 있는 질화 규소막을 더 포함하는 박막 트랜지스터 기판.

#### **청구항 4**

제3항에서,

상기 질화 규소막의 두께는 500 - 800 Å인 박막 트랜지스터 기판.

#### **청구항 5**

제4항에서,

상기 질화 규소막은 상기 반도체층의 하부에만 형성되어 있는 박막 트랜지스터 기판.

#### **청구항 6**

제1항에서,

상기 반도체층은 비정질 규소로 이루어진 박막 트랜지스터 기판.

청구항 7

제6항에서,

상기 비정질 규소층의 두께는 1,000 Å 이하인 박막 트랜지스터 기판.

청구항 8

제1항에서,

상기 반도체층의 위에 형성되어 있으며 사진 공정이 가능한 유기 재료로 이루어진 에치 스텝층을 더 포함하는 박막 트랜지스터 기판.

청구항 9

제8항에서,

상기 에치 스텝층의 두께는 3,000 - 5,000 Å인 박막 트랜지스터 기판.

청구항 10

제1항에서,

상기 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극으로 이루어진 박막 트랜지스터를 덮고 있으며 상기 박막 트랜지스터 상부에 홈을 가지고 있고 유기 재료로 이루어져 있으며 높이가 일정한 층간 절연막,

상기 홈에 채워져 있는 블랙 매트릭스를 더 포함하는 박막 트랜지스터 기판.

청구항 11

투명한 절연 기판,

상기 기판 위에 형성되어 있는 게이트 전극,

상기 게이트 전극 위에 형성되어 있는 게이트 절연막,

상기 게이트 전극 위의 상기 게이트 절연막 상부에 형성되어 있는 반도체층,

상기 반도체층의 위에 형성되어 있으며 사진 공정이 가능한 유기 재료로 이루어진 에치 스텝층,

상기 에치 스텝층의 상부에 상기 에치 스텝층을 가운데에 두고 양쪽으로 형성되어 있는 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터 기판.

청구항 12

제11항에서,

상기 에치 스텝층의 두께는 3,000 - 5,000 Å인 박막 트랜지스터 기판.

청구항 13

제11항에서,

상기 게이트 전극, 게이트 절연막, 반도체층, 소스 전극 및 드레인 전극으로 이루어진 박막 트랜지스터를 덮고 있으며 상기 박막 트랜지스터 상부에 홈을 가지고 있고 유기 재료로 이루어져 있으며 높이가 일정한 층간 절연막,

상기 홈에 채워져 있는 블랙 매트릭스를 더 포함하는 박막 트랜지스터 기판.

청구항 14

투명한 절연 기판 위에 게이트선 및 상기 게이트선의 분지인 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계,

유기 절연막으로 게이트 절연막을 형성하는 단계,

반도체층을 형성하는 단계,

상기 게이트선과 교차하는 데이터선, 상기 데이터선의 분지인 소스 전극 및 드레인 전극을 포함하는 데이터 패턴을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 15

제14항에서,

상기 유기 절연막의 두께는 2,500 - 5,500 Å로 형성하는 박막 트랜지스터 기판의 제조 방법.

청구항 16

제15항에서,

상기 유기 절연막 위에 질화 규소막을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 17

제16항에서,

상기 질화 규소막의 두께는 500 - 800 Å로 형성하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 18

제16항에서,

상기 질화 규소막을 상기 반도체층의 하부에만 남겨 놓고 모두 식각하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 19

제14항에서,

상기 반도체층은 비정질 규소로 형성하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 20

제19항에서,

상기 비정질 규소층의 두께는 1,000 Å 이하로 형성하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 21

제14항에서,

상기 반도체층의 상부에 사진 공정이 가능한 유기 재료로 에치 스텝층을 형성하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 22

제21항에서,

상기 에치 스텝층의 두께는 3,000 - 5,000 Å로 형성하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 23

제14항에서,

상기 게이트 패턴, 게이트 절연막, 반도체층 및 데이터 패턴이 형성된 기판 위에 유기 재료로 평坦하게 층간 절연막을 형성하는 단계,

상기 층간 절연막 상부의 상기 게이트선과 상기 데이터선의 교차로 정의되는 화소 영역에 화소 전극을 형성하는 단계,

상기 화소 전극을 마스크로 하여 상기 층간 절연막의 일부를 식각하는 단계,

상기 층간 절연막이 식각된 부분에 블랙 매트릭스를 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

#### 청구항 24

투명한 절연 기판 위에 게이트선 및 상기 게이트선의 분지인 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계,

게이트 절연막을 형성하는 단계,

반도체층을 형성하는 단계,

사진 공정이 가능한 유기 재료로 에치 스텝층을 형성하는 단계,

상기 게이트선과 교차하는 데이터선, 상기 데이터선의 분지인 소스 전극 및 드레인 전극을 포함하는 데이터 패턴을 형성하는 단계를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 25

제24항에서,

상기 에치 스텝층의 두께는 3,000 - 5,000 Å로 형성하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 26

제25항에서,

상기 반도체층 위의 에치 스텝층을 노출시키는 마스크를 사용하여 정면에서 노광하는 단계,  
기판을 현상하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 청구항 27

제26항에서,

상기 정면 노광 단계 이전에 기판을 후면에서 노광하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 28

제26항에서,

상기 현상 단계 이후에 기판을 열처리하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 29

제28항에서,

상기 에치 스텝층을 마스크로 하여 상기 반도체층을 식각하는 단계를 더 포함하는 박막 트랜지스터 기판의 제조 방법.

청구항 30

제24항에서,

상기 게이트 패턴, 게이트 절연막, 반도체층, 에치 스텝층 및 데이터 패턴이 형성된 기판 위에 유기 재료로 평坦하게 층간 절연막을 형성하는 단계,

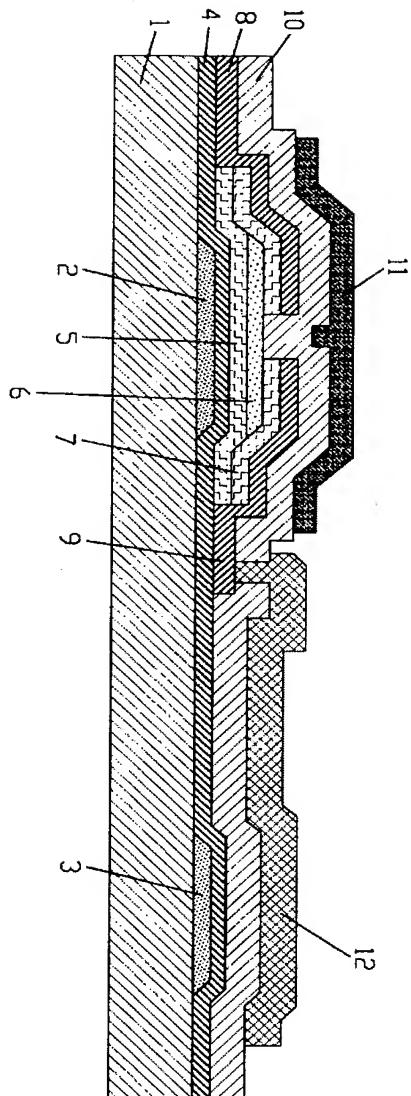
상기 층간 절연막 상부의 상기 게이트선과 상기 데이터선의 교차로 정의되는 화소 영역에 화소 전극을 형성하는 단계,

상기 화소 전극을 마스크로 하여 상기 층간 절연막의 일부를 식각하는 단계,

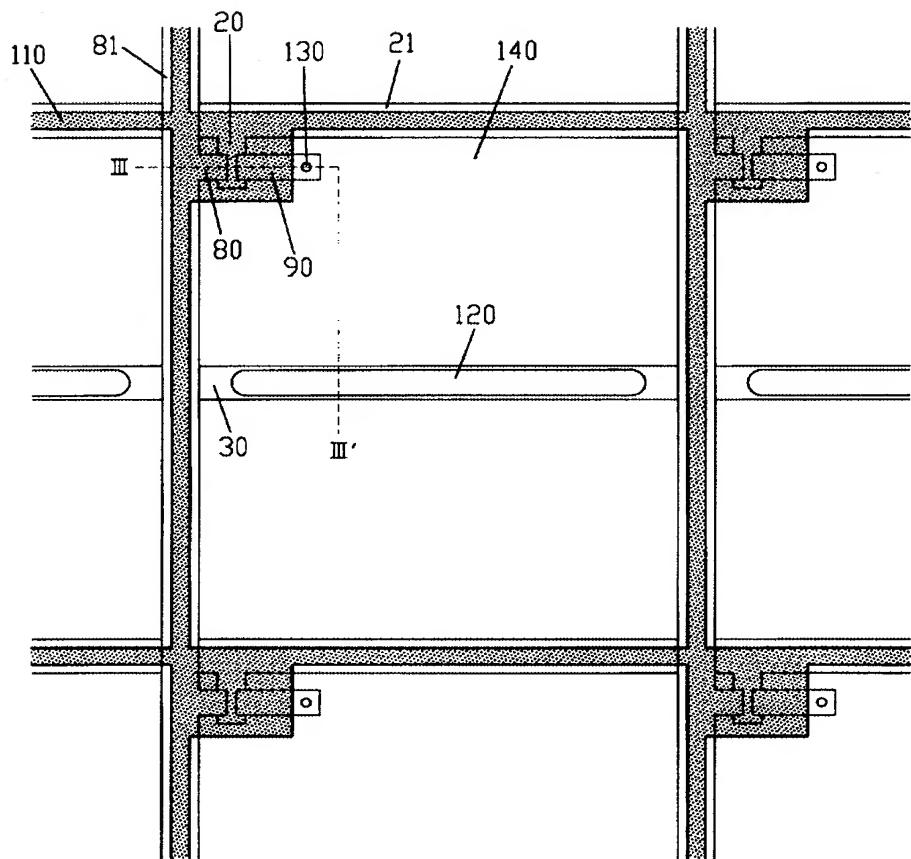
상기 층간 절연막이 식각된 부분에 블랙 매트릭스를 형성하는 단계를 더 포함하는 박막 트랜지스터의 제조 방법.

**도면**

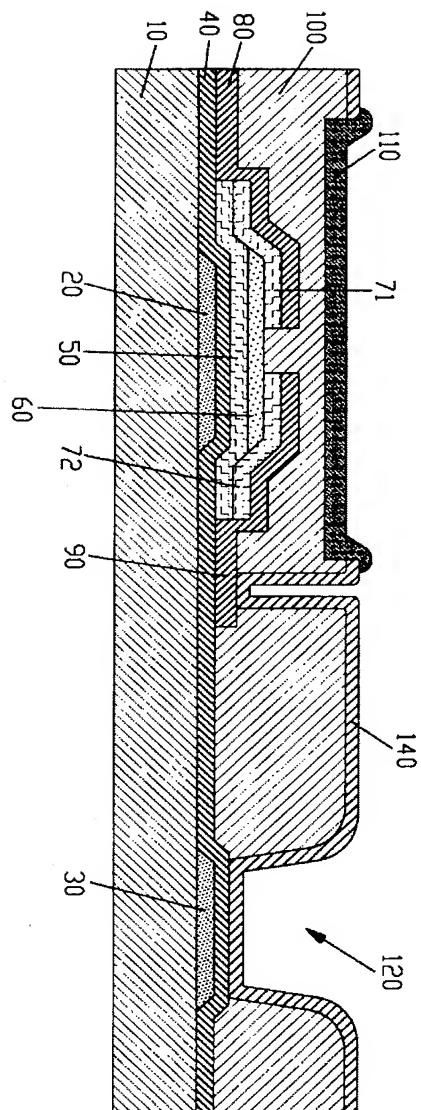
도면 1



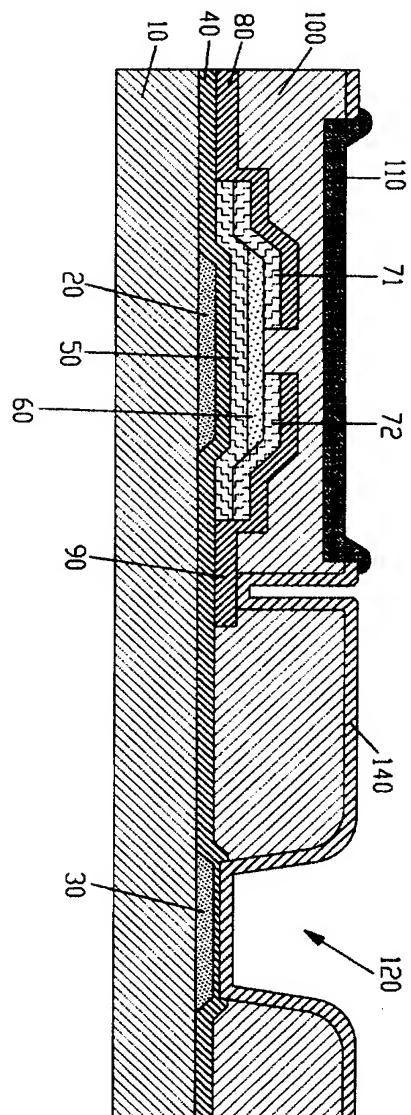
도면2



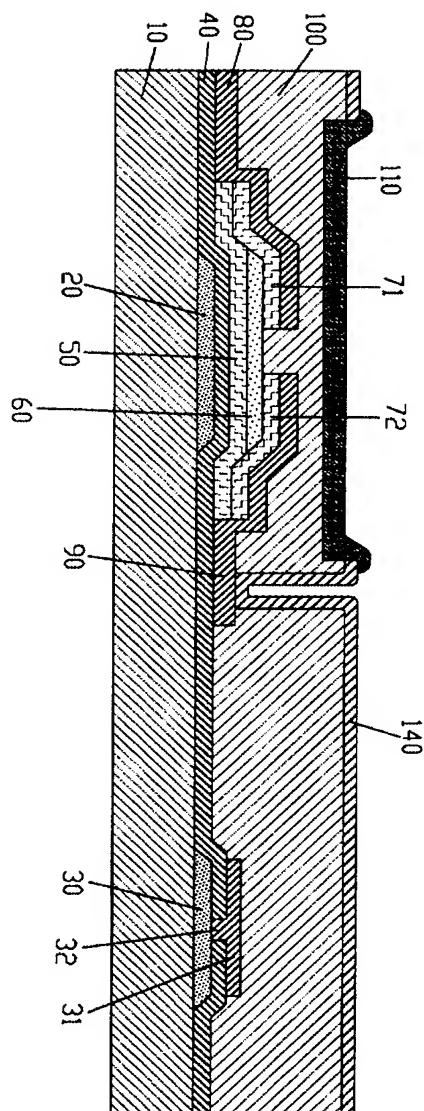
도면3



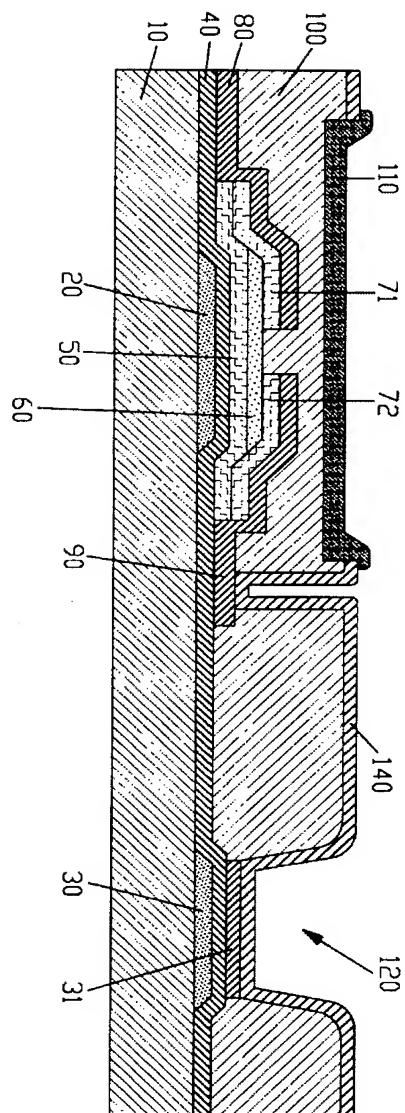
도면4



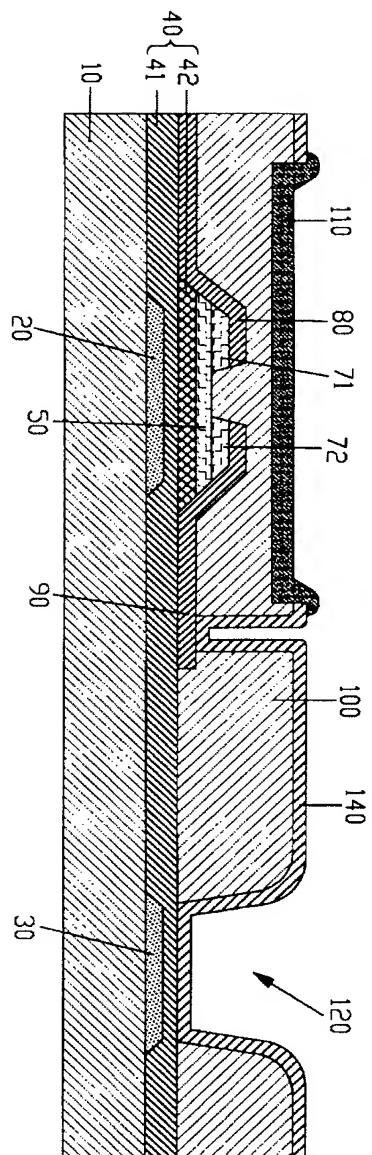
도면 5



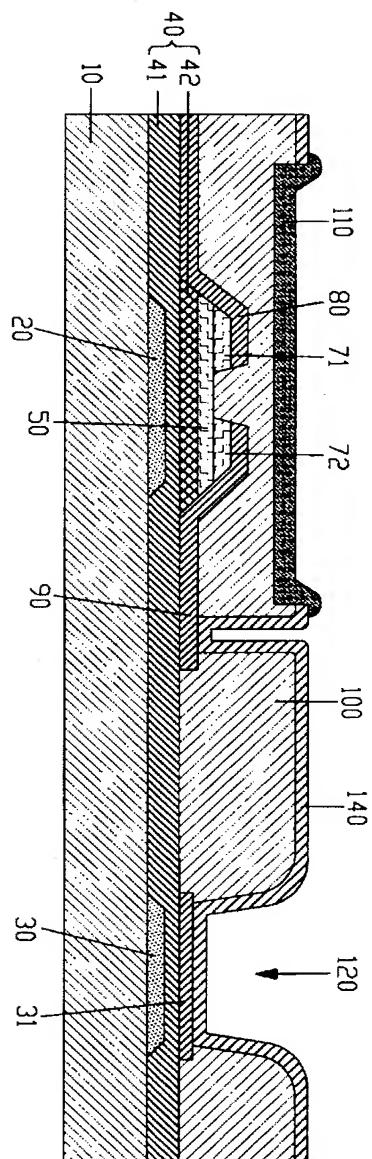
도면6



7月5



8图



도면 9

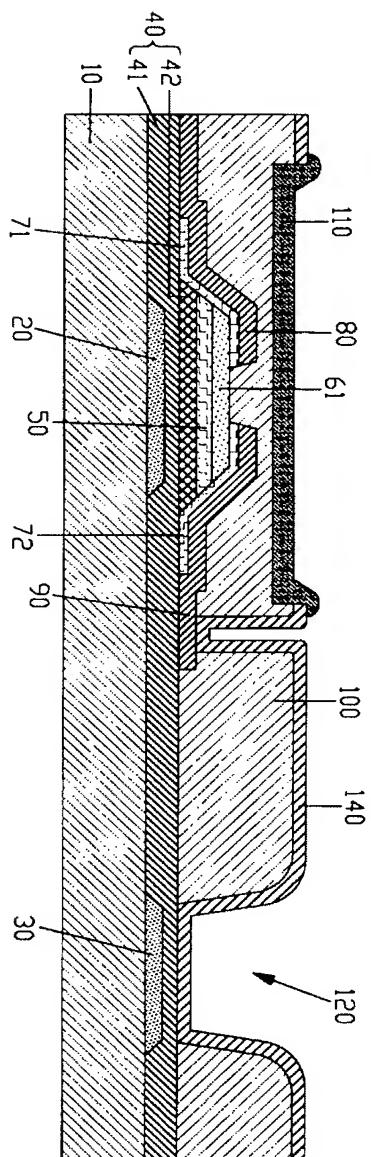
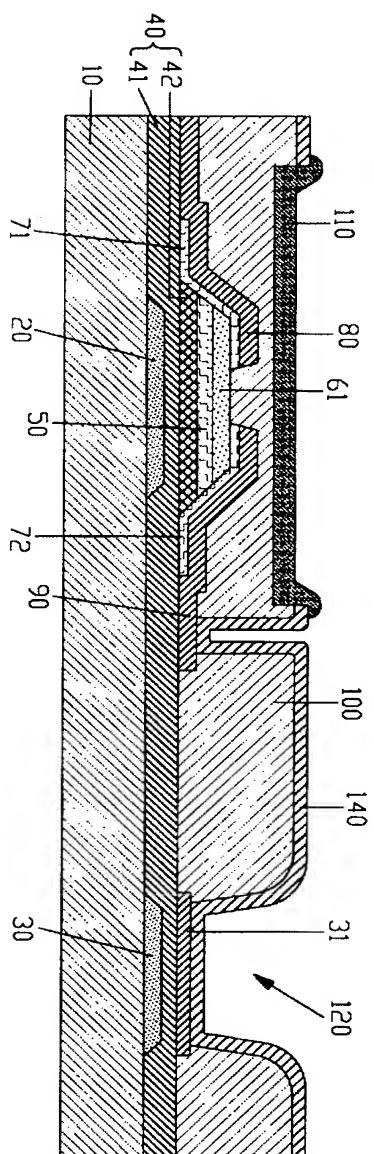
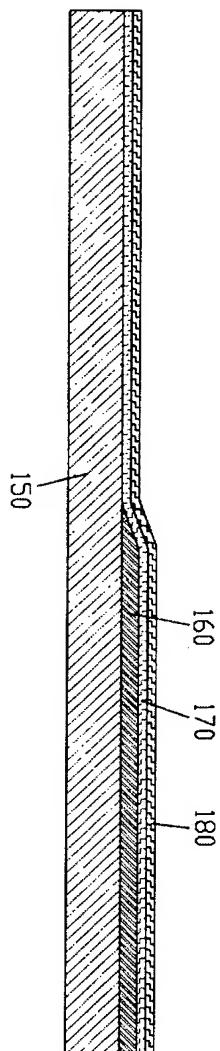


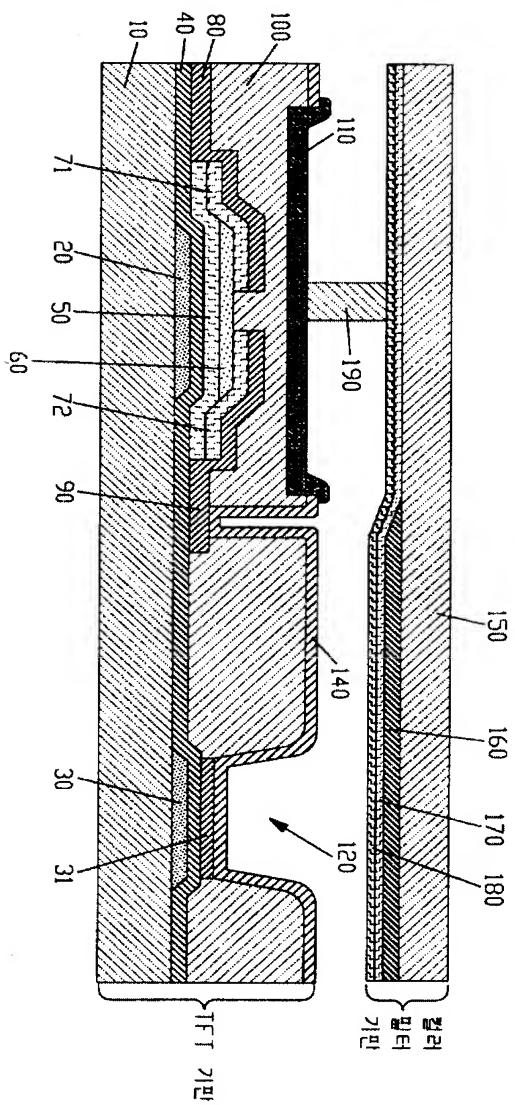
图10



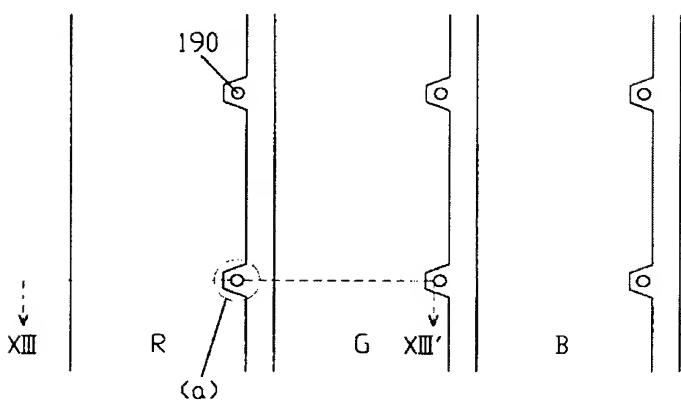
도면 11



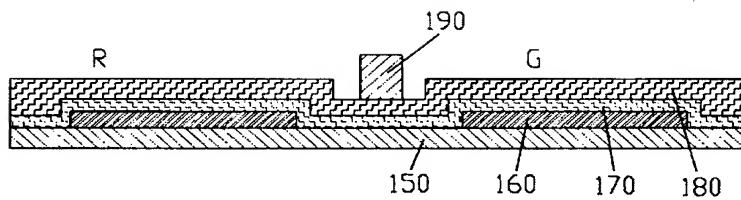
도면12



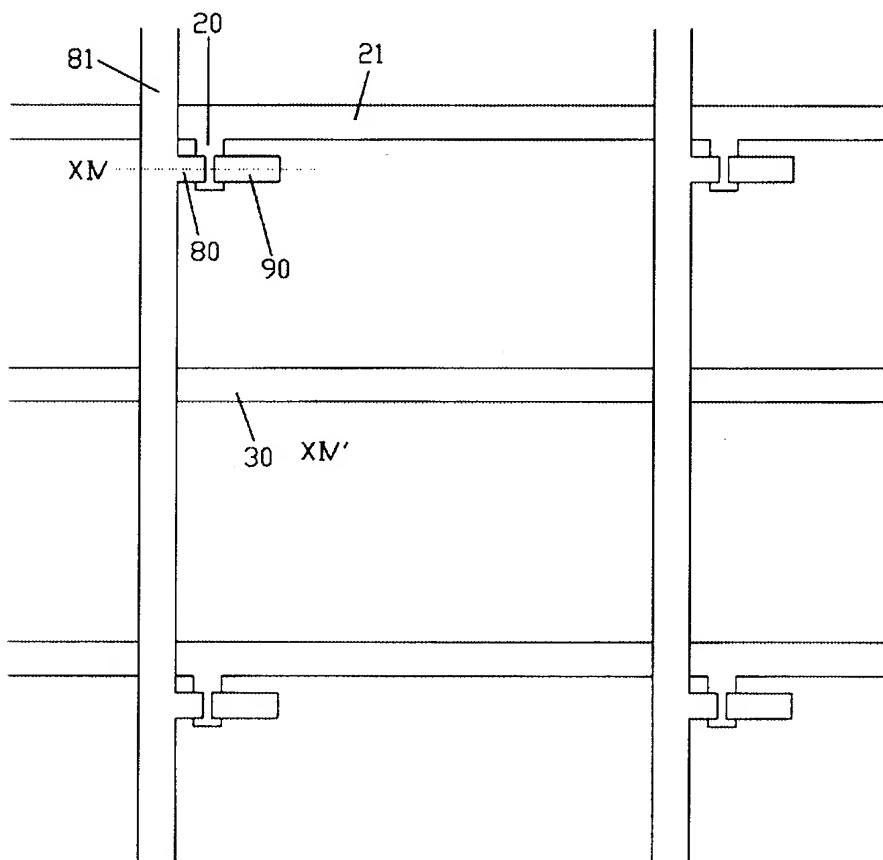
도면13a



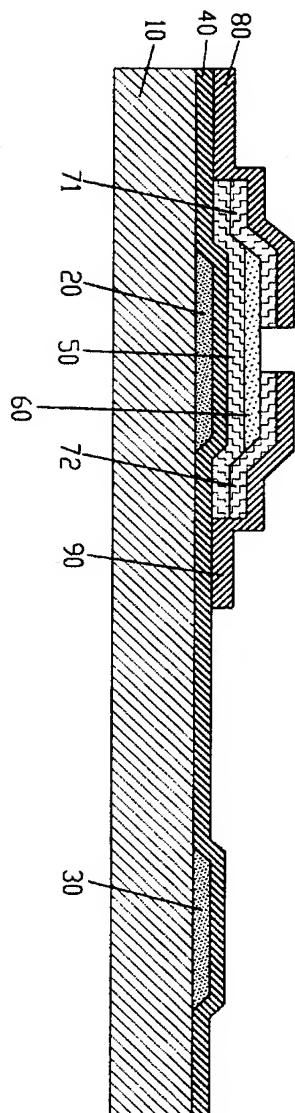
도면 13b



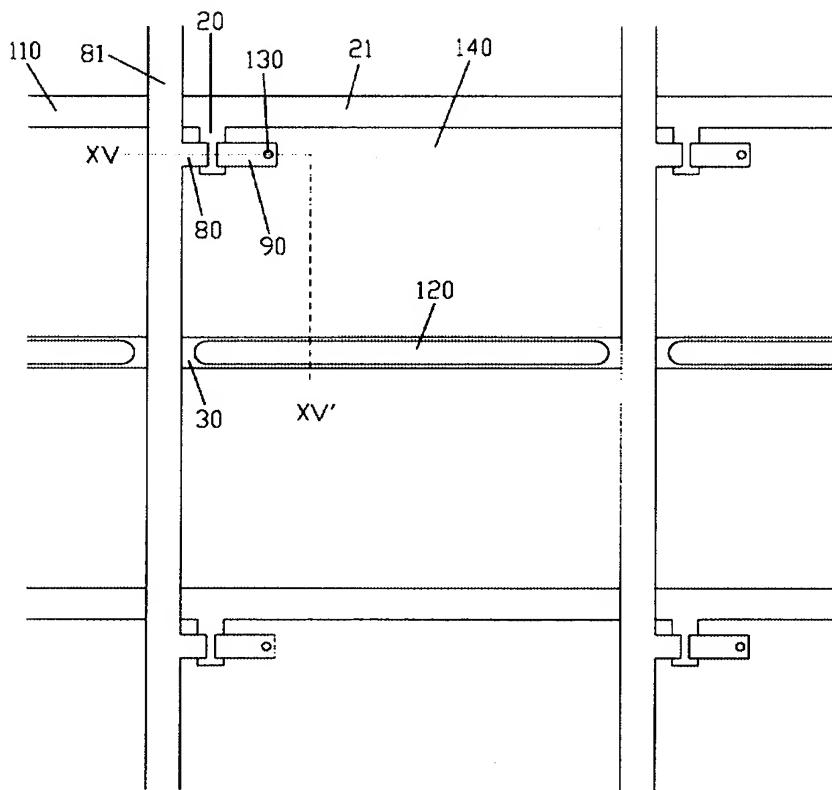
도면 14a



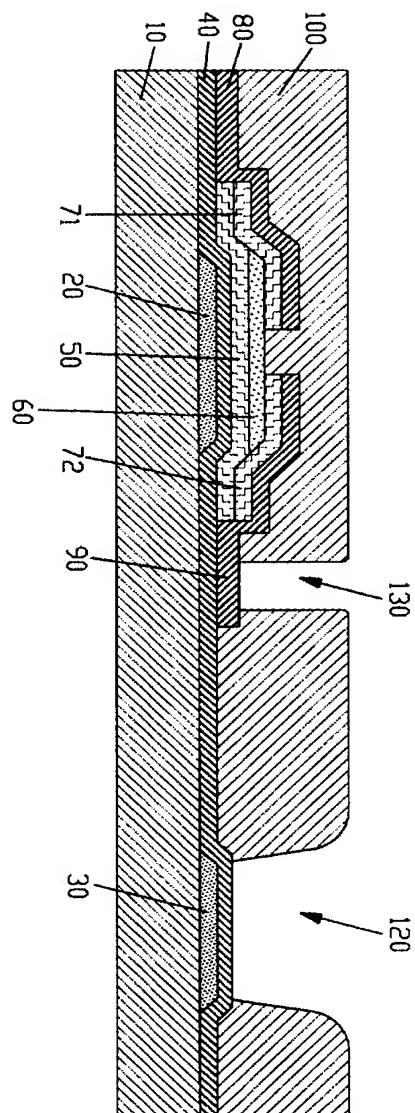
도면 14b



도면15a



도면 15b



도면16a

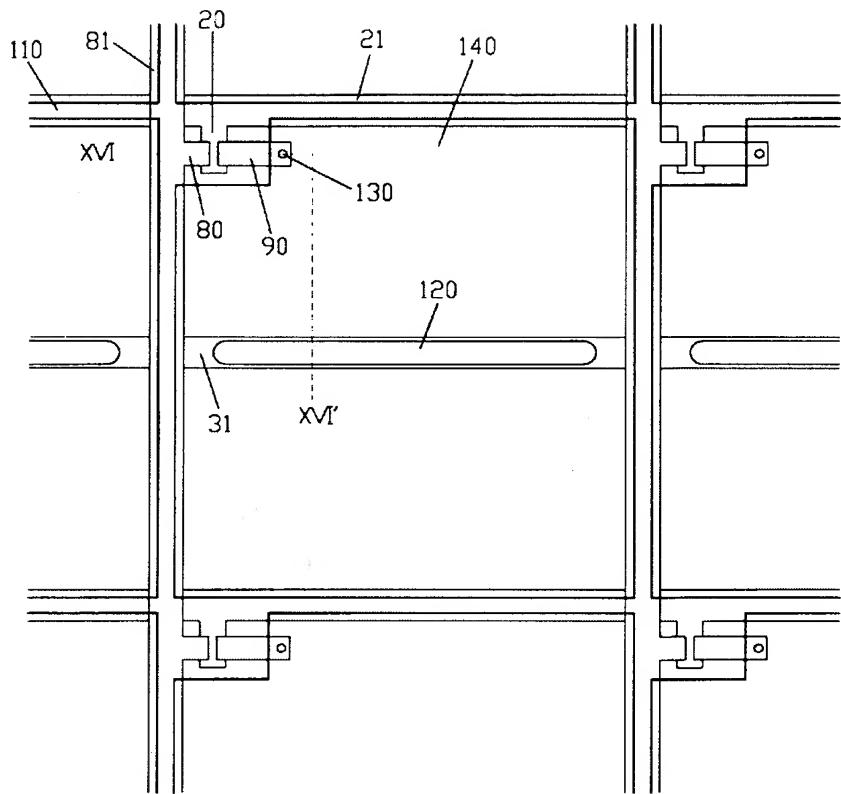
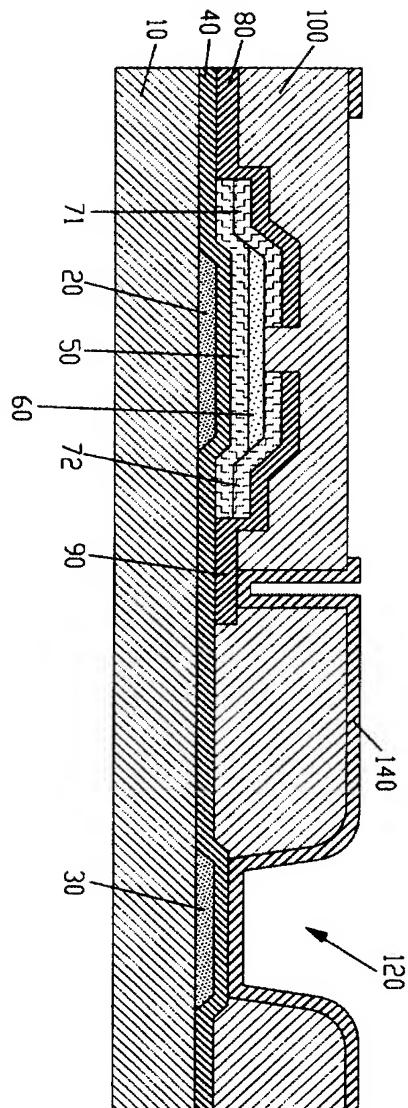
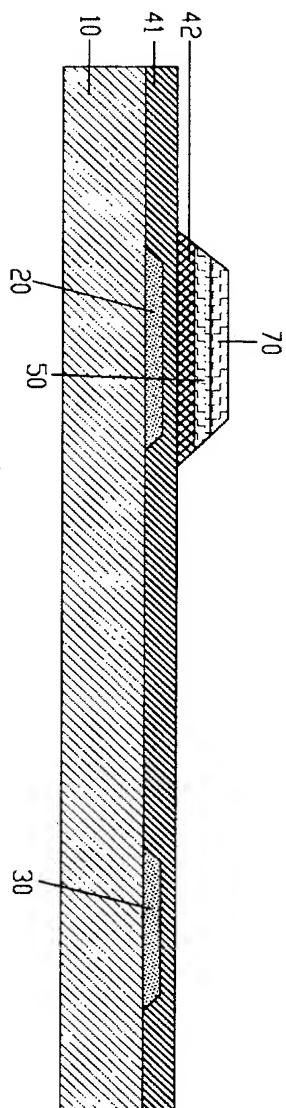


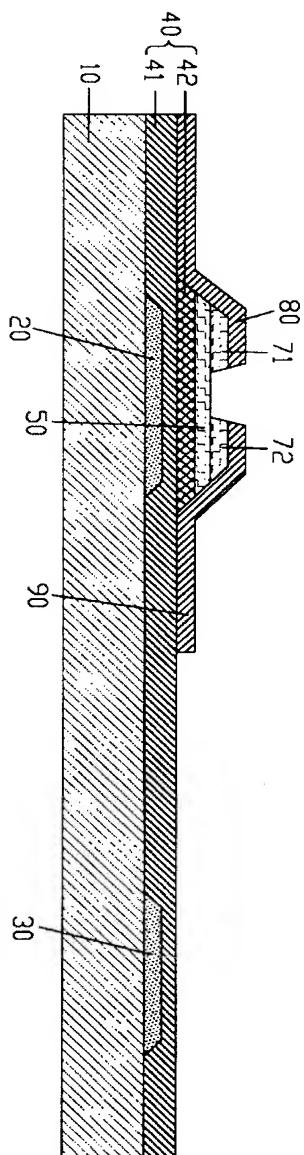
图16b



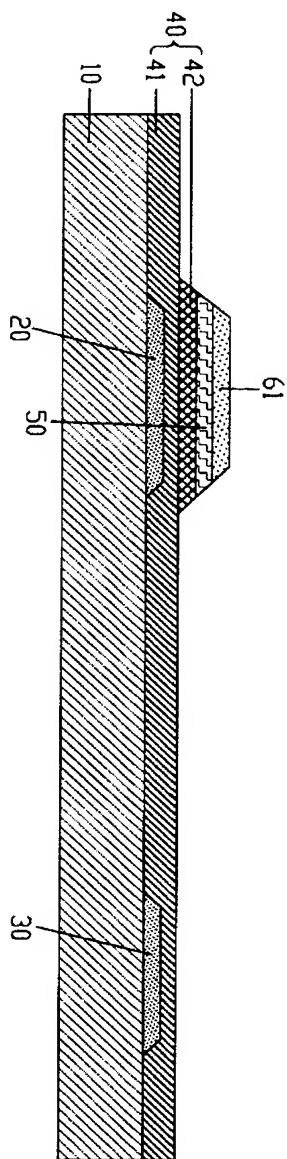
도면17



도면 18



도면 19



도면20

